



## PATENT ABSTRACTS OF JAPAN

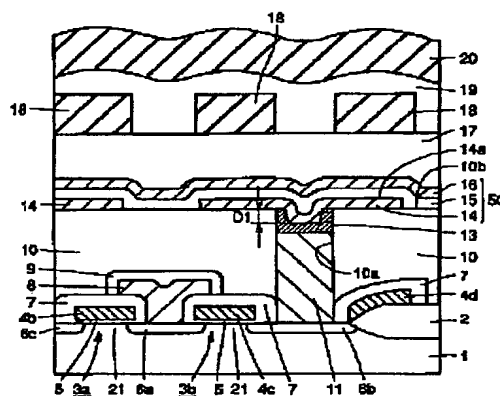
(11) Publication number: **07074325 A**(43) Date of publication of application: **17.03.95**

(51) Int. Cl.

**H01L 27/108****H01L 21/28**(21) Application number: **05159372**(22) Date of filing: **29.06.93**(71) Applicant: **MITSUBISHI ELECTRIC CORP**(72) Inventor: **ITO HIROMI  
HORIKAWA TAKESHI****(54) SEMICONDUCTOR STORAGE DEVICE AND  
MANUFACTURE THEREOF****(57) Abstract:****PURPOSE:** To improve the reliability of a DRAM.

**CONSTITUTION:** An impurity region 6b, which becomes the source/ drain region of a transfer gate transistor 3b, is formed on the main surface of a semiconductor substrate. The first layer insulating film 10 is formed on the main surface of the semiconductor substrate 1. On the first layer insulating film 10, a contact hole 10a is provided on the impurity region 6b. A plug 11 is formed in the above-mentioned contact hole 10a. A barrier layer 13 is formed on the upper surface of the plug 11. A capacitor lower electrode 14 is formed on the barrier layer 13 and the first layer insulating film 10. A capacitor dielectric film 15 and a capacitor upper electrode 16 are formed covering the above- mentioned capacitor lower electrode 14.

COPYRIGHT: (C)1995,JPO





(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平7-74325

(43)公開日 平成7年(1995)3月17日

(51)Int.Cl.<sup>6</sup> 識別記号 F I  
H01L 27/108  
21/28 301 R 7376-4M

審査請求 未請求 請求項の数 5 O L (全21頁)

(21)出願番号 特願平5-159372

(22)出願日 平成5年(1993)6月29日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 伊藤 博巳

兵庫県伊丹市瑞原4丁目1番地 三菱電機  
株式会社エル・エス・アイ研究所内

(72)発明者 堀川 剛

兵庫県尼崎市本町8丁目1番1号 三菱電  
機株式会社材料デバイス研究所内

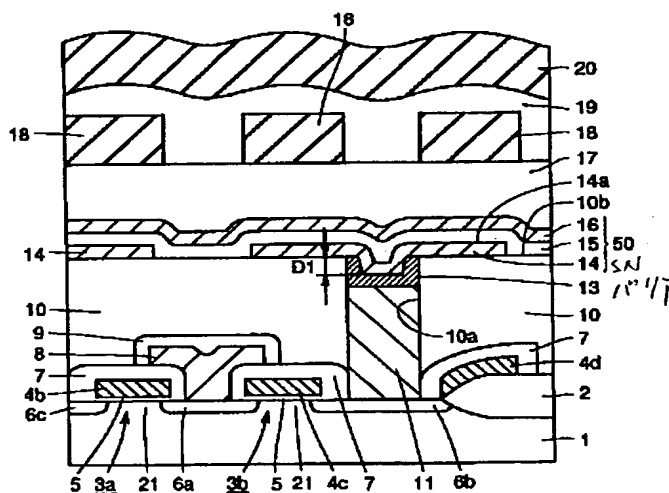
(74)代理人 弁理士 深見 久郎 (外3名)

(54)【発明の名称】半導体記憶装置およびその製造方法

(57)【要約】

【目的】 D R A Mの信頼性を向上させる。

【構成】 半導体基板1の主表面には、トランスファーク  
ゲートトランジスタ3bのソース/ドレイン領域となる  
不純物領域6bが形成されている。半導体基板1の主表  
面上には第1の層間絶縁膜10が形成されている。この  
第1の層間絶縁膜10には、不純物領域6b上にコンタ  
クトホール10aが設けられている。このコンタクトホ  
ール10a内にはプラグ11が形成されている。コンタ  
クトホール10a内において、プラグ11上表面上にバリ  
ア層13が形成されている。バリア層13上および第1  
の層間絶縁膜10上にはキャパシタ下部電極14が形成  
されている。このキャパシタ下部電極14を覆うよう  
にキャパシタ誘電体膜15およびキャパシタ上部電極16  
が形成されている。



1:半導体基板  
10:第一の層間絶縁膜  
13:バリア層  
15:高誘電体膜  
3a,3b:トランスファークゲートトランジスタ  
10a:コンタクトホール  
11:プラグ  
14:キャパシタ下部電極  
16:キャパシタ上部電極

## 【特許請求の範囲】

【請求項 1】 主表面を有する半導体基板と、  
前記半導体基板の主表面上に形成され、前記半導体基板  
の主表面にまで達するコンタクトホールを有する層間絶  
縁膜と、

前記コンタクトホール内に形成されたプラグと、  
前記プラグを介して前記半導体基板の主表面と電氣的に  
接続されかつ前記コンタクトホール内にのみ形成され、  
高融点金属、高融点金属の酸化物、高融点金属の窒化  
物、高融点金属シリサイド、高融点金属の窒化酸化物か  
らなる群から選ばれた少なくとも 1 種以上の材質を含む  
バリア層と、

前記バリア層上に形成されたキャパシタ下部電極と、  
前記キャパシタ下部電極上に形成された高誘電率材料か  
らなるキャパシタ誘電体膜と、  
前記キャパシタ誘電体膜上に形成されたキャパシタ上部  
電極と、  
を備えた半導体記憶装置。

【請求項 2】 前記キャパシタ下部電極は高融点貴金属  
からなる、請求項 1 に記載の半導体記憶装置。

【請求項 3】 主表面を有する半導体基板と、  
前記半導体基板の主表面上に形成され、前記半導体基板  
の主表面にまで達するコンタクトホールを有する層間絶  
縁膜と、

前記半導体基板の主表面と接触するように前記コンタク  
トホール内に埋込まれたプラグと、

前記プラグ上に形成されたキャパシタ下部電極と、  
前記キャパシタ下部電極上に形成され高誘電率材料から  
なるキャパシタ誘電体膜と、

前記キャパシタ誘電体膜上に形成されたキャパシタ上部  
電極と、

を備え、前記プラグは前記半導体基板材料と前記キャパ  
シタ下部電極材料とが拡散するのを防止するバリア機能  
を有する材質からなる、半導体記憶装置。

【請求項 4】 半導体基板の主表面上に、前記半導体基  
板の主表面にまで達するコンタクトホールを有する層間  
絶縁膜を形成する工程と、

前記コンタクトホール内にプラグを形成する工程と、  
前記層間絶縁膜を覆いかつ前記コンタクトホール内に埋  
込むようにバリア層を形成する工程と、

前記バリア層の表面部分から前記バリア層の厚みを減じ  
る処理を施すことによって、前記バリア層を前記コンタ  
クトホール内にのみ残余させる工程と、

前記バリア層上に、キャパシタ下部電極、高誘電率材料  
からなるキャパシタ誘電体膜、キャパシタ上部電極を順  
次形成する工程と、

を備えた半導体記憶装置の製造方法。

【請求項 5】 半導体基板の主表面上に、前記半導体基  
板の主表面にまで達するコンタクトホールを有する層間  
絶縁膜を形成する工程と、

前記層間絶縁膜を覆いかつ前記コンタクトホール内に埋  
込むようにバリア層を形成する工程と、

前記バリア層の表面部分から前記バリア層の厚みを減じ  
る処理を施し前記バリア層を前記コンタクトホール内に  
のみ残余させることによって、前記コンタクトホール内  
に前記半導体基板の主表面と接触するバリア層を形成す  
る工程と、

前記バリア層上に、キャパシタ下部電極、高誘電率材料  
からなるキャパシタ誘電体膜、キャパシタ上部電極を順  
次形成する工程と、

を備えた半導体記憶装置の製造方法。

## 【発明の詳細な説明】

## 【 0 0 0 1 】

【産業上の利用分野】この発明は、半導体記憶装置およ  
びその製造方法に関し、特に D R A M (Dynamic Random  
Access Memory) におけるトランスファークトラン  
ジスタとキャパシタとを電氣的に接続するためのプラグ  
の構造およびそのようなプラグを有する D R A M の製造  
方法に関するものである。

## 【 0 0 0 2 】

【従来の技術】従来から、記憶情報のランダムな入出力  
が可能な半導体記憶装置として、D R A M は知られてい  
る。一般に、D R A M は、多数の記憶情報を蓄積する記  
憶領域であるメモリセルアレイ部と、外部との入出力に  
必要な周辺回路部とを有している。

【 0 0 0 3 】図 3 6 は、一般的な D R A M の構成を示す  
ブロック図である。図 3 6 を参照して、D R A M 1 5 0  
は、記憶情報を蓄積するためのメモリセルアレイ 1 5 1  
と、単位記憶回路を構成するメモリセルを選択するため  
のアドレス信号を外から受けるためのロウアンドカラ  
ムアドレスバッファ 1 5 2 と、そのアドレス信号を解読  
するとによってメモリセルを指定するためのロウデコー  
ダ 1 5 3 およびカラムデコーダ 1 5 4 と、指定されたメ  
モリセルに蓄積された信号を増幅して読出すためのセン  
スリフレッシュアンプ 1 5 5 と、データ入出力のための  
データインバッファ 1 5 6 およびデータアウトバッファ  
1 5 7 と、クロック信号を発生するためのクロックジェ  
ネレータ 1 5 8 とを備えている。

【 0 0 0 4 】半導体チップ上で大きな面積を占めるメモ  
リセルアレイ 1 5 1 には、単位記憶情報を蓄積するため  
のメモリセルがマトリクス状に複数個配置されている。  
一般に、1 つのメモリセルは、1 つの M O S (Metal Ox  
ide Semiconductor) トランジスタと、これに接続され  
た 1 個のキャパシタとから構成されている。このような  
メモリセルを 1 トランジスタ 1 キャパシタ型のメモリセ  
ルと呼んでいる。このタイプのメモリセルは、構造が簡  
単なためメモリセルアレイの集積度を向上させることが  
容易となる。そのため、大容量の D R A M において広く  
用いられている。

【 0 0 0 5 】また、D R A M のメモリセルは、キャパシ

タの構造によっていくつかのタイプに分類することができる。この中にスタックタイプキャパシタと呼ばれるものがある。このスタックタイプキャパシタは、キャパシタの主要部をゲート電極やフィールド酸化膜の上まで延在させることによって、キャパシタの電極間の対向面積を増大させるものである。

【0006】それにより、キャパシタ容量を増大させることが可能となる。スタックタイプキャパシタは、このような特徴を有するため、半導体記憶装置の集積化に伴い素子が微細化された場合でも、キャパシタ容量を確保することが可能となる。その結果、半導体記憶装置の高集積化に伴ってスタックタイプのキャパシタが多く用いられるようになった。

【0007】しかしながら、素子がさらに微細化され、たとえば256MbitのDRAMなどにおいては、上記のスタックタイプキャパシタを使用したとしてもはや一定のキャパシタ容量を確保することは困難となる。

【0008】そこで、キャパシタ容量を増大させるためキャパシタの誘電体膜としてPZT（チタン酸ジルコン酸鉛セラミック）などの高誘電率材料からなる高誘電体膜を使用する試みがなされている。図37には、キャパシタの誘電体膜として上記のPZTなどの高誘電体膜を使用した場合のDRAMの一例が示されている。

【0009】図37を参照して、p型半導体基板201の主表面における素子分離領域には、フィールド酸化膜202が形成されている。半導体基板201の主表面における素子形成領域には、トランスファージゲートトランジスタ203a、203bが形成されている。

【0010】トランスファージゲートトランジスタ203aは、半導体基板201の主表面に間隔をあけて形成されたソース／ドレイン領域となるn型不純物領域206c、206aと、この不純物領域206c、206a間のチャネル領域221上にゲート絶縁膜205を介在して形成されたゲート電極204bを有している。

【0011】また、トランスファージゲートトランジスタ203bは、ソース／ドレイン領域となるn型の不純物領域206a、206bと、この不純物領域206a、206b間のチャネル領域221上にゲート絶縁膜205を介在して形成されたゲート電極204cを有している。

【0012】一方、フィールド酸化膜202上には、他のトランスファージゲートトランジスタのゲート電極204dが延在している。ゲート電極204b、204c、204dを覆うように酸化膜207が形成されている。また、不純物領域206a上には、この不純物領域206aに電気的に接続されるように埋込ビット線208が形成されている。この埋込ビット線208を覆うように絶縁層209が形成されている。

【0013】この絶縁膜209および酸化膜207を覆

うように第1の層間絶縁膜210が形成されている。この第1の層間絶縁膜210の上面は平坦化されている。この第1の層間絶縁膜210において、不純物領域206b上に位置する部分にコンタクトホール210aが形成されている。

【0014】このコンタクトホール210a内には、不純物領域206bと電気的に接続されたプラグ211が形成されている。このプラグ211の上面は、コンタクトホール210a内に埋没した状態となっている。これは、プラグ211の形成方法に起因するものであるため後に説明する。

【0015】プラグ211の上面から第1の層間絶縁膜210の上面にわたってTiNなどからなるバリア層213が形成されている。このバリア層213上には、白金(Pt)などからなるキャパシタ下部電極214が形成されている。上記のバリア層213は、このキャパシタ下部電極214材料と、プラグ211材料との相互拡散を防止するために設けられている。

【0016】キャパシタ下部電極214を覆うようにキャパシタ誘電体膜215が形成されている。このキャパシタ誘電体膜215の材質としては、SrTiO<sub>3</sub>などの高誘電体膜を挙げることができる。このキャパシタ誘電体膜215を覆うようにキャパシタ上部電極216が形成されている。このキャパシタ上部電極216の材質としては、白金(Pt)などを挙げることができる。

【0017】キャパシタ上部電極216を覆うように第2の層間絶縁膜217が形成されている。この第2の層間絶縁膜217の上面は平坦化されている。第2の層間絶縁膜217上には、間隔を隔てて第1のアルミニウム配線層218が形成されている。この第1のアルミニウム配線層218を覆うように保護膜219が形成されている。この保護膜219上には、第2のアルミニウム配線層220が形成されている。

【0018】上記のキャパシタ下部電極214と、キャパシタ誘電体膜215と、キャパシタ上部電極216とでキャパシタ250が構成されている。

【0019】次に、図38～図46を用いて、図37に示される従来のDRAMの製造方法について説明する。図38～図46は、従来のDRAMの製造工程の第1工程～第9工程を示す断面図である。

【0020】まず図38を参照して、半導体基板201の主表面上の素子分離領域に、LOCOS(Local Oxidation of Silicon)法を用いてフィールド酸化膜202を形成する。次に、熱酸化法などを用いて、ゲート絶縁膜205を形成する。このゲート絶縁膜205上およびフィールド酸化膜202上に、選択的にゲート電極(ワード線)204b、204c、204dを形成する。

【0021】このゲート電極204b、204c、204dをマスクとして用いて、半導体基板201の主表面に不純物を注入することによって、不純物領域206

c, 206a, 206bをそれぞれ形成する。そして、ゲート電極204b, 204c, 204dを覆うように酸化膜207を形成する。

【0022】そして、多結晶シリコンを半導体基板201全面上に形成した後所定形状にパターニングすることによって、不純物領域206aに電氣的に接続される埋込ビット線208を形成する。この埋込ビット線208を覆うように絶縁層209を形成する。その後、CVD (Chemical Vapor Deposition) 法などを用いて、第1の層間絶縁膜210を形成する。そして、この第1の層間絶縁膜210に平坦化処理を施すことによって、この第1の層間絶縁膜210上面を平坦化する。

【0023】次に、図39を参照して、第1の層間絶縁膜210上に、所定形状にパターニングされたレジストパターン222を形成する。このレジストパターン222をマスクとして用いて第1の層間絶縁膜210に異方性エッチング処理を施す。それにより、図40に示されるように、コンタクトホール210aが形成される。

【0024】次に図41を参照して、CVD法などを用いて、コンタクトホール210aを埋込みかつ第1の層間絶縁膜210を覆うように、多結晶シリコン層211aを形成する。この多結晶シリコン層211aをエッチバックすることによって、図42に示されるように、コンタクトホール210a内にプラグ211が形成される。

【0025】このとき、プラグ211の上面は、コンタクトホール210a内に埋没した状態となっている。これは、多結晶シリコン層211aのエッチバックの際に、図示しない段差を有する箇所の第1の層間絶縁膜210上面などに多結晶シリコンのエッチング残渣が残らないようにオーバーエッチング処理が施されるからである。上記のエッチング残渣が残ると、配線間の短絡のおそれがあるからである。このようにオーバーエッチング処理が施されることによって、図42に示されるように、プラグ211の上面は、コンタクトホール210aの側壁上端部からDの距離だけコンタクトホール201a内に埋没した状態となっている。

【0026】次に、図43を参照して、スパッタリング法などを用いて、プラグ211上および第1の層間絶縁膜210上に、TiN層213aを形成する。このTiN層213a上に、スパッタリング法などを用いて、白金層214aを形成する。この白金層214a上に、所定形状にパターニングされたレジストパターン223を形成する。

【0027】次に、上記のレジストパターン223をマスクとして用いて、白金層214a, TiN層213aに異方性エッチング処理を施す。それにより、図44に示されるように、バリア層213およびキャパシタ下部電極214が形成される。その後、レジストパターン223を除去する。

【0028】次に、図45を参照して、スパッタリング法などを用いて、キャパシタ下部電極214を覆うように高誘電体膜215を形成する。この誘電体膜215の材質としては、 $\text{SrTiO}_3$  や  $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$  などを挙げるができる。この高誘電体膜215を覆うように、白金層216を形成する。この白金層216を所定形状に加工することによって、キャパシタ上部電極216が形成される。

【0029】次に、図46を参照して、CVD法などを用いて、キャパシタ上部電極216を覆うように第2の層間絶縁膜217を形成する。そして、この第2の層間絶縁膜217上に、所定間隔をあけて第1のアルミニウム配線層218を形成する。そして、この第1のアルミニウム配線層218を覆うように、CVD法などを用いて、シリコン酸化膜などからなる保護膜219を形成する。この保護膜219上に、第2のアルミニウム配線層220を形成する。以上の工程を経て、図37に示される従来のDRAMが形成される。

【0030】

【発明が解決しようとする課題】しかしながら、上記の従来のDRAMには、次に説明するような問題点があった。その問題点について、図47を用いて説明する。図47は、従来のキャパシタ250とプラグ211との接続部分を拡大した断面図である。

【0031】図47を参照して、バリア層213は、プラグ211上から第1の層間絶縁膜210の上面210a上にわたって形成されている。このバリア層213は、バリア機能を十分発揮し得る所定の膜厚 $t_5$ を有している。このバリア層213上にキャパシタの下部電極214が形成される。このキャパシタの下部電極214も、所定の膜厚 $t_4$ を有している。

【0032】第1の層間絶縁膜210の上面210a上において、上記のバリア層213とキャパシタ下部電極214とが積層されている。そのため、キャパシタ下部電極214の上面214bと、第1の層間絶縁膜210の上面210aとの間に比較的大きな段差が形成されることになる。この段差部の段差Hは、キャパシタ下部電極214の膜厚 $t_4$ と、バリア層213の膜厚 $t_5$ との和である。

【0033】キャパシタ誘電体膜215は、キャパシタ下部電極214を覆うように形成される。すなわち、キャパシタ誘電体膜215は、上記のようなキャパシタ下部電極214の上面214bと層間絶縁膜210の上面210aとの間の段差部を覆うように形成されることになる。

【0034】キャパシタ誘電体膜215の形成方法に関しては、CVD法によってキャパシタ誘電体膜215を形成した場合には所望の特性を得ることが困難であるため、従来から一般にキャパシタ誘電体膜215はスパッタリング法によって形成されてきた。したがって、段差

の被覆性は悪いといえる。そのため、上記の段差部上において、キャパシタ誘電体膜において局所的に膜厚が薄いところが形成されやすくなる。

【0035】より具体的には、図47を参照して、キャパシタ下部電極214の上面214b上に位置するキャパシタ誘電体膜215の膜厚が $t_7$ であるのに対して、上記の段差部上におけるキャパシタ誘電体膜215の膜厚は $t_6$ と薄く形成されやすくなる。これは、その段差部の高低差が大きいのほど顕著になるものと考えられる。

【0036】このように、キャパシタ誘電体膜215において局所的に膜厚が薄くなるところが存在することによって、その部分においてキャパシタ下部電極214とキャパシタ上部電極216との間にリーク電流が流れやすくなるといった問題点が生じる。すなわち、DRAMの信頼性が低くなるといった問題点が生じることになる。

【0037】この発明は、上記の問題点を解決するためになされものである。この発明の目的は、キャパシタ誘電体膜の下地の段差を低減することによって、信頼性の高いDRAMを提供することにある。

【0038】

【課題を解決するための手段】この発明に基づく半導体記憶装置は、一つの局面では、主表面を有する半導体基板と、この半導体基板の主表面上に形成され、半導体基板の主表面にまで達するコンタクトホールを有する層間絶縁膜と、このコンタクトホール内に形成されたプラグと、このプラグを介して半導体基板の主表面と電気的に接続されかつコンタクトホール内のみに形成され、高融点金属、高融点金属の酸化物、高融点金属の窒化物、高融点金属シリサイド、高融点金属の窒化酸化物からなる群から選ばれた少なくとも1種以上の材質を含むバリア層と、このバリア層上に形成されたキャパシタ下部電極と、キャパシタ下部電極上に形成された高誘電率材料からなるキャパシタ誘電体膜と、キャパシタ誘電体膜上に形成されたキャパシタ上部電極とを備えている。

【0039】この発明に基づく半導体記憶装置は、他の局面では、主表面を有する半導体基板と、この半導体基板の主表面上に形成され半導体基板の主表面にまで達するコンタクトホールを有する層間絶縁膜と、半導体基板の主表面と接触するようにコンタクトホール内に埋込まれたプラグと、このプラグ上に形成されたキャパシタ下部電極と、キャパシタ下部電極上に形成され高誘電率材料からなるキャパシタ誘電体膜と、キャパシタ誘電体膜上に形成されたキャパシタ上部電極とを備え、上記のプラグは半導体基板材料とキャパシタ下部電極材料とが拡散するのを防止するバリア機能を有する材質からなっている。

【0040】この発明に基づく半導体記憶装置の製造方法によれば、一つの局面では、まず半導体基板の主表面上に、この半導体基板の主表面にまで達するコンタクト

ホールを有する層間絶縁膜を形成する。コンタクトホール内にプラグを形成する。そして、層間絶縁膜を覆いかつコンタクトホール内に埋込むようにバリア層を形成する。このバリア層の表面部分からバリア層の厚みを減じる処理を施すことによってバリア層をコンタクトホール内にもみ残余させる。そして、このバリア層上に、キャパシタ下部電極、高誘電率材料からなるキャパシタ誘電体膜、キャパシタ上部電極を順次形成する。

【0041】この発明に基づく半導体記憶装置の製造方法によれば、他の局面では、まず半導体基板の主表面上に、半導体基板の主表面にまで達するコンタクトホールを有する層間絶縁膜を形成する。そして、層間絶縁膜を覆いかつコンタクトホール内に埋込むようにバリア層を形成する。このバリア層の表面部分からバリア層の厚みを減じる処理を施しこのバリア層をコンタクトホール内にもみ残余させることによって、コンタクトホール内に半導体基板の主表面と接触するバリア層を形成する。そしてこのバリア層上に、キャパシタ下部電極、高誘電率材料からなるキャパシタ誘電体膜、キャパシタ上部電極を順次形成する。

【0042】

【作用】この発明によれば、バリア層がコンタクトホール内にもみ形成される。そのため、層間絶縁膜上面上には従来のようにバリア層とキャパシタ下部電極との積層構造が形成されず、層間絶縁膜上面上に直接キャパシタ下部電極が形成されることになる。それにより、キャパシタ下部電極上面と層間絶縁膜上面との段差を従来よりも低減することが可能となる。すなわち、キャパシタ誘電体膜の下地の段差を低減することが可能となる。

【0043】それにより、キャパシタ誘電体膜の段差の被覆性を従来よりも向上させることが可能となる。その結果、段差部上に位置するキャパシタ誘電体膜において局所的に膜厚が薄くなる部分が発生する可能性を、従来よりも低く抑えることが可能となる。それにより、キャパシタにおけるリーク電流の発生可能性を低く抑えることができ、半導体記憶装置の信頼性を向上させることが可能となる。

【0044】

【実施例】以下、この発明に基づく実施例について、図1～図35を用いて説明する。

【0045】（第1実施例）まず、図1～図12を用いてこの発明に基づく第1の実施例におけるDRAMについて説明する。図1は、この発明に基づく第1の実施例におけるDRAMを示す部分断面図である。図2～図12は、この発明に基づく第1の実施例におけるDRAMの製造工程の第1工程～第11工程を示す部分断面図である。

【0046】ここでまず図1を用いてこの発明に基づく第1の実施例におけるDRAMの構造について説明する。図1を参照して、p型半導体基板1の主表面にお

10

20

30

40

50

る素子分離領域には、フィールド酸化膜 2 が形成されている。半導体基板 1 の主表面における素子形成領域には、トランスファークラフトランジスタ 3 a, 3 b がそれぞれ形成されている。

【0047】トランスファークラフトランジスタ 3 a は、互いに間隔をあけて形成されたソース／ドレイン領域となる n 型不純物領域 6 a, 6 c と、この不純物領域 6 a, 6 c 間のチャネル領域 2 1 上にゲート絶縁膜 5 を介在して形成されたゲート電極（ワード線）4 b とを有している。

【0048】トランスファークラフトランジスタ 3 b は、互いに間隔をあけて形成されたソース／ドレイン領域となる不純物領域 6 a, 6 b と、この不純物領域 6 a, 6 b 間のチャネル領域 2 1 上にゲート絶縁膜 5 を介在して形成されたゲート電極 4 c とを有している。また、フィールド酸化膜 2 上にも、他のトランスファークラフトランジスタのゲート電極 4 d が形成されている。

【0049】ゲート電極 4 b, 4 c, 4 d を覆うように、酸化膜 7 が形成されている。不純物領域 6 a 上には、この不純物領域 6 a と電気的に接続される埋込ビット線 8 が形成されている。この埋込ビット線 8 を覆うように絶縁層 9 が形成されている。この絶縁層 9 を覆いかつ酸化膜 7 を覆うように、第 1 の層間絶縁膜 10 が形成されている。この第 1 の層間絶縁膜 10 の上面 10 b は平坦化されている。また、第 1 の層間絶縁膜 10 には、この場合であれば、不純物領域 6 b 上に位置する部分にコンタクトホール 10 a が形成されている。

【0050】コンタクトホール 10 a 内には、多結晶シリコンからなるプラグ 11 が形成されている。このプラグ 11 の上面は、コンタクトホール 10 a 内に埋没している。これは、プラグ 11 の形成方法に起因するものであり、後にも説明している。

【0051】コンタクトホール 10 a 内において、プラグ 11 上にはバリア層 13 が形成されている。このバリア層 13 の材質としては、Ti, TiSi, TiN, TiO<sub>x</sub>, TiON, W, WSi, WN, WO, WON, TiO<sub>x</sub>, TiSix, WSix (0<x<2), WO<sub>y</sub> (0<y<3), などを挙げることができる。また、このバリア層 13 の上面には凹部が形成されており、この凹部底面と第 1 の層間絶縁膜 10 の上面 10 b との間の距離は D 1 となっている。このバリア層 13 の上面の凹部は、このバリア層 13 およびプラグ 11 の形成方法に起因するものであり、結果 としてその上面に形成されるものである。

【0052】上記のバリア層 13 の材質として Ti を選択した場合には、バリア層 13 は、50 Å~300 Å 以上の膜厚を有することが好ましい。また、バリア層 13 の材質として、TiSi, TiN, TiON を選択した場合には、バリア層 13 は、100 Å~300 Å 程度以上の膜厚を有することが好ましい。また、バリア層 13

の材質として TiO<sub>x</sub> を選択した場合には、バリア層 13 は、100 Å~400 Å 程度以上の膜厚を有することが好ましい。また、バリア層 13 の材質として W, WSi, WN, WO, WON を選択した場合には、バリア層 13 の膜厚は、100 Å~500 Å 程度以上であることが好ましい。また、バリア層 13 の材質として TiO<sub>x</sub>, TiSix を選択した場合には、バリア層 13 の膜厚は、約 100 Å~約 300 Å であることが好ましい。また、バリア層 13 の材質として WSi<sub>x</sub>, WO<sub>y</sub> を選択した場合には、バリア層 13 の膜厚は、約 100 Å~約 500 Å であることが好ましい。それにより、上記のバリア層 13 は、十分なバリア機能を発揮し得ることとなる。

【0053】このバリア層 13 上には、白金 (Pt) などからなるキャパシタ下部電極 14 が形成される。このキャパシタ下部電極 14 の膜厚は、好ましくは、300 Å~2000 Å 程度である。上記のバリア層 13 は、このキャパシタ下部電極 14 材料と、プラグ 11 材料とが相互拡散するのを防止する機能を有している。

【0054】第 1 の層間絶縁膜 10 およびキャパシタ下部電極 14 を覆うようにキャパシタ誘電体膜 15 が形成される。このキャパシタ誘電体膜 15 の材質としては、SrTiO<sub>3</sub>, BaTiO<sub>3</sub>, などの高誘電体膜を挙げることができる。また、このキャパシタ誘電体膜 15 の膜厚は、好ましくは、500 Å~2000 Å 程度である。

【0055】このとき、図 1 に示されるように、第 1 の層間絶縁膜 10 の上面 10 b 上には、直接キャパシタ下部電極 14 が形成されている。そのため、キャパシタ下部電極 14 の上面 14 a と、第 1 の層間絶縁膜 10 の上面 10 b との段差は、従来よりも軽減される。すなわち、キャパシタ誘電体膜 15 の下地の段差を従来よりも軽減することが可能となる。

【0056】それにより、キャパシタ誘電体膜 15 の段差の被覆性を従来よりも改善することが可能となり、段差部上においてキャパシタ誘電体膜 15 の膜厚が局所的に薄くなる部分が発生する可能性を従来よりも低減することが可能となる。それにより、信頼性の高いキャパシタを有する DRAM を形成することが可能となる。

【0057】また、コンタクトホール 10 a 内にはのみバリア層 13 を形成することによって、キャパシタ下部電極 14 の下地の段差を従来より軽減することも可能となる。

【0058】上記のキャパシタ誘電体膜 15 を覆うようにキャパシタ上部電極 16 が形成される。このキャパシタ上部電極 16 の材質としては、白金 (Pt) などを挙げることができる。また、このキャパシタ上部電極 16 の膜厚は、好ましくは、300 Å~2000 Å 程度である。キャパシタ上部電極 16 の他の材質としては、多結晶シリコンを挙げることができる。この場合には、キャパシタ上部電極 16 の膜厚は、好ましくは、2000 Å



～6000Å程度である。

【0059】キャパシタ上部電極16を覆うように酸化膜などからなる第2の層間絶縁膜17が形成されている。この第2の層間絶縁膜17上には、所定間隔をあけて第1のアルミニウム配線層18が形成されている。この第1のアルミニウム配線層18を覆うように保護膜19が形成されている。この保護膜19上には第2のアルミニウム配線層20が形成されている。

【0060】次に、上記の構造を有する第1の実施例におけるDRAMの製造方法について図2～図12を用いて説明する。

【0061】まず図2を参照して、従来例と同様の方法で、p型半導体基板1の主表面上に、フィールド酸化膜2、トランスファークゲートトランジスタ3a、3b、埋込ビット線8、酸化膜7、絶縁層9をそれぞれ形成する。そして、CVD法などを用いて、この絶縁層9および酸化膜7を覆うように、0.3～1.0μm程度の膜厚を有するTEOS (Tetra Ethyl Ortho Silicate) 膜を堆積する。そして、このTEOS膜にリフロー処理を施すことによって平坦化を行なう。それにより、第1の層間絶縁膜10を形成する。

【0062】次に、図3を参照して、第1の層間絶縁膜10上に所定形状にパターンニングされたレジストパターン22を形成する。そして、このレジストパターン22をマスクとして用いて第1の層間絶縁膜10をエッチングする。それにより、図4に示されるように、不純物領域6b表面にまで達するコンタクトホール10aが形成される。このコンタクトホール10aの開口寸法は、好ましくは、□0.3μm～□0.8μm程度である。

【0063】次に、図5を参照して、SiH<sub>4</sub>を用いたCVD法によって、コンタクトホール10a内を埋込みかつ第1の層間絶縁膜10を覆うように多結晶シリコン層11aを形成する。この多結晶シリコン層11aの膜厚tは、好ましくは、約3000Å～約10000Å程度である。またこのとき、半導体基板1の温度は、約600℃～700℃程度に保持される。

【0064】次に、図6を参照して、RIE (Reactive Ion Etching) 法などを用いて、多結晶シリコン層11aにエッチバック処理を施す。それにより、コンタクトホール10a内にプラグ11を形成する。このとき、第1の層間絶縁膜10表面に多結晶シリコン層11aの残渣が残らないようにオーバーエッチング処理が施される。それにより、プラグ11の上面は、コンタクトホール10a内に埋没した状態となっている。このとき、プラグ11上面と、コンタクトホール10a側壁上端部との間の距離Dは、約100Å～約2000Åとなっている。

【0065】次に、図7を参照して、プラグ11上面上および第1の層間絶縁膜10上面上に、バリア層13aを堆積する。このバリア層13aの膜厚t1は、好まし

くは、1000Å～3000Å程度である。このバリア層13aの膜厚t1は、コンタクトホール10aにおけるプラグ11上面上の部分を充填しうる膜厚である。

【0066】バリア層13aの材質としては、種々のものが考えられる。以下、このバリア層13aとなり得る材質を挙げ、それぞれの堆積法について詳しく説明する。

【0067】まず、バリア層13aの材質としてTiを選択した場合には、スパッタリング法などを用いて形成される。また、バリア層13aの材質としてTiSi、TiSixを選択した場合には、次の2つの形成方法が考えられる。第1の方法は、Ti膜をスパッタリング方法などで形成した後500℃程度の温度でRTA (Rapid Thermal Anneal) 処理を施すことによって、多結晶シリコンからなるプラグ11との界面にのみTiSiを形成するものである。第2の方法としては、TiCl<sub>4</sub>とSiH<sub>4</sub>とを用いたCVD法によって形成する方法を挙げることができる。このとき、半導体基板1の温度は、400℃～500℃に保持される。

【0068】バリア層13aの材質としてTiNを選択した場合には、次の3つの形成方法が考えられる。第1の方法は、N<sub>2</sub> 雰囲気内で反応性スパッタリング法によって形成する方法である。第2の方法は、TiCl<sub>4</sub>とNH<sub>3</sub>を用いたCVD法によって形成する方法である。このとき半導体基板1の温度は400℃～500℃に保持される。第3の方法は、Ti膜を窒化する方法である。これは、N<sub>2</sub> あるいはNH<sub>3</sub> 雰囲気内でのRTA処理によって行われる。このとき、処理温度は約700℃～900℃程度に保持される。

【0069】バリア層13aの材質としてTiO<sub>2</sub>、TiO<sub>x</sub>を選択した場合には、次の3つの形成方法が考えられる。第1の方法は、O<sub>2</sub> 雰囲気内での反応性スパッタリング法である。第2の方法は、TiCl<sub>4</sub>とO<sub>2</sub>を用いたCVD法によって形成する方法である。このとき、半導体基板1の温度は400℃以下に保持される。第3の方法は、Tiの酸化である。これは、500℃～700℃の温度で、O<sub>2</sub> 雰囲気内での熱処理によって行なわれる。

【0070】バリア層13aの材質としてTiONを選択した場合には、次の3つの形成方法が考えられる。第1の方法は、N<sub>2</sub>とO<sub>2</sub>との雰囲気内での反応性スパッタリング法である。第2の方法は、TiCl<sub>4</sub>とNH<sub>3</sub>とO<sub>2</sub>とを用いたCVD法である。このとき半導体基板1の温度は約400℃～500℃に保持される。第3の方法は、TiNの酸化である。これは、500℃～700℃の温度で、O<sub>2</sub> 雰囲気内での熱処理によって行なわれる。

【0071】バリア層13aの材質としてWを選択した場合には、次の2つの方法が考えられる。第1の方法は、スパッタリング法である。第2の方法は、WF<sub>6</sub>を

用いたCVD法である。バリア層13aの材質としてW、Si、WSi<sub>x</sub>を選択した場合には、WF<sub>6</sub>とSiH<sub>4</sub>を用いたCVD法によって形成される。

【0072】また、バリア層13aの材質としてWNを選択した場合には、600℃～800℃の温度でN<sub>2</sub>あるいはNH<sub>3</sub>雰囲気内でのランプアニール処理をWに施すことによって形成される。バリア層13aの材質としてWO、WO<sub>y</sub>を選択した場合には、400℃～600℃の温度で、O<sub>2</sub>雰囲気内ではWに熱処理を施すことによって形成される。

【0073】バリア層13aの材質としてWONを選択した場合には、次の2つの形成方法が考えられる。第1の方法は、500℃～600℃の温度で、O<sub>2</sub>雰囲気内ではWNに熱処理を施す方法である。第2の方法は、600℃～800℃の温度で、N<sub>2</sub>あるいはNH<sub>3</sub>雰囲気内ではWOにランプアニール処理を施す方法である。

【0074】以上の方法でバリア層13aを堆積した後、このバリア層13aをエッチバックする。それにより、コンタクトホール10a内にのみバリア層13を残余させる。このバリア層13に要求される最低限の膜厚は、上記のように材質により異なるが、バリア層13の膜厚は、各材質について、バリア機能を十分に発揮する上記の膜厚以上の膜厚であればよい。

【0075】また、上記のエッチバック法は、バリア層13aの材質がTi系の場合とW系の場合とで異なる。。すなわち、バリア層13aがTi系の材質の場合にはC1系のガスを用いたRIE処理が施され、W系の材質の場合にはF系のガスを用いたRIE処理が施される。

【0076】上記のエッチバック処理によって、バリア層13上面には、結果として、図8に示されるように凹部12aが形成される。この凹部12aの底面と第1の層間絶縁膜10の上面10bとの距離D1は、0～約1000Åとなる。この距離D1は、上記のプラグ11上面と第1の層間絶縁膜10の上面との距離Dよりも小さいものとなっている。これは、バリア層13aの堆積膜厚t1が、多結晶シリコン層11aの堆積膜厚tよりも小さいため、エッチバックの際にオーバーエッチング量が少なく済むからである。

【0077】このようにコンタクトホール10a内にバリア層13が形成されることによって、後の工程で形成されるキャパシタ下部電極の下地の段差を軽減することが可能となる。それにより、キャパシタ下部電極の形成が容易となる。また、キャパシタ下部電極表面を従来よりも平坦化することが可能となり、このキャパシタ下部電極上においてキャパシタ誘電体膜の膜厚を従来よりも均一化することが可能となる。それにより、キャパシタにおけるリーク電流の発生可能性を低減でき、キャパシタの信頼性を向上させることが可能となる。

【0078】次に、スパッタリング法などを用いて、バリア層13および第1の層間絶縁膜10を覆うように、

白金(Pt)などからなるキャパシタ下部電極材料層を形成する。このキャパシタ下部電極材料層の膜厚は、好ましくは、300Å～2000Å程度である。そして、このキャパシタ下部電極材料層を所定形状にパターンニングする。それにより、図9に示されるように、キャパシタ下部電極14が形成される。

【0079】次に、図10を参照して、キャパシタ下部電極14を覆うように、500℃～700℃の温度での反応性スパッタリング法などを用いて、SrTiO<sub>3</sub>、BaTiO<sub>3</sub>などの高誘電体膜からなるキャパシタ誘電体膜15を所定形状に形成する。このキャパシタ誘電体膜15の膜厚は、好ましくは、500Å～2000Å程度である。

【0080】このキャパシタ誘電体膜15の形成に際して、その下地となるキャパシタ下部電極14の上面14aと、第1の層間絶縁膜10の上面10bとの段差は、バリア層13がコンタクトホール10a内に形成されることによって従来よりも軽減されている。そのため、キャパシタ誘電体膜15の段差の被覆性を従来よりも向上させることが可能となる。

【0081】それにより、その段差部上において、キャパシタ誘電体膜15に局所的にその膜厚が薄くなる部分が形成される可能性を従来よりも低減させることが可能となる。それにより、キャパシタの信頼性を向上させることが可能となる。

【0082】次に、図11を参照して、キャパシタ誘電体膜15を覆うようにキャパシタ上部電極16を形成する。このキャパシタ上部電極16の材質としては、白金(Pt)などを挙げることができる。また、形成方法および膜厚については、上記のキャパシタ下部電極14の場合と同様である。

【0083】キャパシタ上部電極14の材質としては、多結晶シリコンなども挙げることができる。この場合には、600℃～700℃の温度で、SiH<sub>4</sub>を用いたCVD法によって形成される。また、この多結晶シリコンの厚みは、好ましくは、2000Å～6000Å程度である。以上のようにしてキャパシタ上部電極16を形成した後は、RIE法などによって、このキャパシタ上部電極16を所定形状にパターンニングする。

【0084】次に、図12を参照して、キャパシタ上部電極16を覆うように第2の層間絶縁膜17を形成する。この第2の層間絶縁膜17の材質としては、TEOS膜などを挙げることができる。そして、この第2の層間絶縁膜17にも平坦化処理が施される。このとき、バリア層13をコンタクトホール10a内に埋込むことによって、結果としてキャパシタ上部電極16表面の段差も従来よりも低減することが可能となる。それにより、第2の層間絶縁膜17の平坦化も容易となる。また、それに伴ない、この第2の層間絶縁膜17上に形成される配線層(18, 20)の形成も容易となる。

【0085】第2の層間絶縁膜17の形成の後は、従来と同様の方法で第1のアルミニウム配線層18、保護膜19および第2のアルミニウム配線層20を形成する。それにより、図1に示される第1の実施例におけるDRAMが形成されることになる。

【0086】(第2実施例)次に、図13~図16を用いて、この発明に基づく第2の実施例におけるDRAMについて説明する。図13は、この発明に基づく第2の実施例におけるDRAMを示す部分断面図である。図14~図16は、この発明に基づく第2の実施例におけるDRAMの製造工程の第6工程~第8工程を示す部分断面図である。

【0087】図13を参照して、本実施例においてはバリア層13の上面と第1の層間絶縁膜10の上面10bとがほぼ面一となっている。これは、バリア層13の形成方法に起因するものであるため、後に詳しく説明する。このようにバリア層13上面と第1の層間絶縁膜10の上面10bとがほぼ面一となるので、その上に形成されるキャパシタ下部電極14の上面14aは、上記の第1の実施例の場合よりもさらに平坦化される。それ以外の構造に関しては、図1に示される第1の実施例とほぼ同様である。

【0088】次に、図14~図16を用いて、上記の第2の実施例におけるDRAMの製造方法について説明する。まず図14を参照して、上記の第1の実施例と同様の方法でプラグ11までを形成する。そして、このプラグ11および第1の層間絶縁膜10を覆うようにバリア層13aを堆積する。このバリア層13aの膜厚 $t_8$ は、少なくともコンタクトホール10aにおけるプラグ11上面上の部分をバリア層13aで充填し得る厚みである。

【0089】次に、図15を参照して、上記のバリア層13aにCMP (Chemical Mechanical Polishing) 処理を施す。それにより、コンタクトホール10a内にのみバリア層13を残余させる。このとき、CMP処理によってコンタクトホール10a内にバリア層13を残余させるので、このバリア層13の上面と第1の層間絶縁膜10の上面とをほぼ面一にすることが可能となる。

【0090】次に、図16を参照して、バリア層13上および第1の層間絶縁膜10の上面10b上に、キャパシタ下部電極14を形成する。このとき、キャパシタ下部電極14の上面14aは、上記の第1の実施例の場合よりもさらに平坦化されている。このキャパシタ下部電極14の材質および形成方法に関しては、上記の第1の実施例と同様である。

【0091】このキャパシタ下部電極14を覆うように、上記の第1の実施例と同様の方法でキャパシタ誘電体膜15を形成する。この場合も上記の第1の実施例と同様に、キャパシタ誘電体膜15の下地の段差は従来よりも軽減されている。これにより、第1の実施例と同様

の効果が得られる。そして、上記の第1の実施例の場合と同様の方法で、キャパシタ誘電体膜15を覆うようにキャパシタ上部電極16を形成する。

【0092】それ以降は、上記の第1の実施例と同様の工程を経て図13に示される第2の実施例におけるDRAMが形成されることになる。

【0093】(第3実施例)次に、図17~図21を用いて、この発明に基づく第3の実施例について説明する。図17は、この発明に基づく第3の実施例におけるDRAMを示す部分断面図である。図18~図21は、この発明に基づく第3の実施例におけるDRAMの製造工程の第6工程~第10工程を示す部分断面図である。

【0094】まず図17を用いて第3の実施例におけるDRAMの構造について説明する。図17を参照して、本実施例においては、バリア層が2層構造となっている。すなわち、プラグ11上面上に第1のバリア層13bが形成され、この第1のバリア層13b上に第2のバリア層13cが形成されている。

【0095】このとき、第2のバリア層13c表面には、上記のバリア層13の場合と同様に、凹部が形成され、その凹部の底面と第1の層間絶縁膜10の上面10bとの間の距離は $D_2$ となっている。この $D_2$ の値は、上記の第1の実施例におけるバリア層13の凹部の底面と第1の層間絶縁膜10の上面10bとの距離 $D_1$ よりも小さいものとなっている。これはバリア層の形成方法に起因するものであるため後に説明する。

【0096】上記のように、距離 $D_1$ が距離 $D$ よりも小さいため、上記の第1の実施例よりもキャパシタ下部電極14の下地の段差を低減することが可能となる。それにより、キャパシタ下部分極14の上面を第1の実施例よりもさらに平坦化できる。それ以外の構造に関しては図1に示される第1の実施例と同様である。

【0097】本実施例においては、バリア層は、プラグ11上面と接触する第1のバリア層13bと、この第1のバリア層13b上に形成される第2のバリア層13cとの2層構造を有している。したがって、コンタクトホール10a内に位置する第1のバリア層13bには、直接エッチバック処理が施されないことになる。

【0098】そのため、コンタクトホール10a内に位置する第1のバリア層13bの膜厚は、堆積時の膜厚に保たれる。それに対し、コンタクトホール10a内に位置する第2のバリア層13c上面には、直接エッチバック処理が施されるので、第2のバリア層13cの膜厚についてはエッチング条件などによってばらつきが生じ得る。

【0099】これと同様のことが上記の第1の実施例に対しても言える。すなわち、上記の第1の実施例においては、コンタクトホール10a内に残余するバリア層13において、エッチング条件などによって、その膜厚が局部的に薄くなる部分が存在する可能性がある。バリア

層は、所定の膜厚以上の膜厚を有しないことにはバリア性は十分に発揮されない。

【0100】本実施例においては、下層に位置する第1のバリア層13bの膜厚が、堆積時の膜厚に維持されるため、第2のバリア層13cの膜厚がばらついたとしてもバリア機能は十分発揮される。それにより、上記の第1の実施例の場合よりも安定してバリア機能を発揮するバリア層を得ることができる。

【0101】次に図18～図21を用いて、上記の第3の実施例におけるDRAMの製造方法について説明する。

【0102】まず図18を参照して、上記の第1の実施例と同様の方法でプラグ11までを形成する。プラグ11および第1の層間絶縁膜10を覆うように第1のバリア層13bを堆積する。この第1のバリア層13bの膜厚は、バリア層として機能し得る膜厚である。この第1のバリア層13b上に、第2のバリア層13cを堆積する。この第2のバリア層13cの膜厚 $t_2$ は、コンタクトホール10aにおけるプラグ11上面上に位置する部分を充填し得る膜厚である。

【0103】上記の第1のバリア層13bの材質としては、Ti、TiSiなどを挙げることができる。このTiの膜厚は、好ましくは、50～300Å程度である。また、TiSiの膜厚は、好ましくは、100～300Å程度である。

【0104】第1のバリア層13bとしてTiを選択した場合には、第2のバリア層13cの材質は、好ましくは、TiO、TiONである。このTiO、TiONの膜厚は、好ましくは、100～300Å程度である。また、第1のバリア層13bとしてTiSiを選択した場合には、第2のバリア層13cは、TiO、TiONが好ましい。それらの膜厚に関しては上記の場合と同様である。

【0105】次に、図19を参照して、Cl系のガスを用いたRIEによって、第2のバリア層13cをエッチバックする。それにより、コンタクトホール10a内のみ第2のバリア層13cを残余させる。このとき、第2のバリア層13c表面には、結果として凹部12bが形成される。この凹部12bは、第1の実施例におけるバリア層13に形成された凹部12aよりも小さいものとなる。これは、コンタクトホール10aの側壁に、第1および第2のバリア層13b、13cの積層構造が形成されているからである。それにより、上記の第1の実施例よりもキャパシタ下部電極14の下地を平坦化することが可能となる。

【0106】次に、図20を参照して、第1のバリア層13bをエッチバックすることによって、コンタクトホール10a内のみ第1のバリア層13bを残余させる。このとき、コンタクトホール10a内に位置する第1のバリア層13bには直接上記のエッチバック処理が

施されない。それにより、コンタクトホール10a内においては、第1のバリア層13bの膜厚は、堆積時の膜厚に保たれる。それにより、第1のバリア層13bは確実にバリア機能を発揮する。

【0107】また、第2のバリア層13cの表面に形成された凹部12bの底面と、第1の層間絶縁膜10の上面との距離D2は、上記の第1の実施例における距離Dよりも小さいものとなっている。これは、プラグ11上面上に、第1および第2のバリア層13b、13cの積層構造が形成されているからである。

【0108】次に、図21を参照して、第1および第2のバリア層13b、13c上から第1の層間絶縁膜10の上面10b上にわたって、キャパシタ下部電極14が形成される。このキャパシタ下部電極14を覆うようにキャパシタ誘電体膜15およびキャパシタ上部電極16が形成される。このキャパシタ下部電極14、キャパシタ誘電体膜15およびキャパシタ上部電極16の材質および製造方法に関しては、上記の第1の実施例と同様である。

【0109】本実施例においては、第2のバリア層13c表面における凹部12bが、上記の第1の実施例におけるバリア層13表面の凹部12aよりも小さいため、キャパシタ下部電極14の表面14aを、上記の第1の実施例の場合よりも平坦化することが可能となる。また、第1の実施例と同様に本実施例においてもキャパシタ誘電体膜15の下地の段差被覆性は改善される。

【0110】以上のようにしてキャパシタ上部電極16を形成した後は、上記の第1の実施例と同様の工程を経て、図17に示される第3の実施例におけるDRAMが形成されることになる。

【0111】(第4実施例) 次に、図22～図26を用いて、この発明に基づく第4の実施例について説明する。図22は、この発明に基づく第4の実施例におけるDRAMを示す部分断面図である。図23～図26は、この発明に基づく第4の実施例におけるDRAMの製造工程の第6工程～第10工程を示す部分断面図である。

【0112】まず図22を用いて、この発明に基づく第3の実施例におけるDRAMの構造について説明する。図22を参照して、本実施例においては、バリア層が3層構造となっている。すなわち、プラグ11上面上に、第1のバリア層13dが形成され、この第1のバリア層13d上に第2のバリア層13eが形成され、この第2のバリア層13e上に第3のバリア層13fが形成されている。それ以外の構造に関しては上記の第1の実施例と同様である。

【0113】本実施例においては、バリア層が3層構造を有しているため、第3のバリア層13fの表面に形成され得る凹部の底面と、第1の層間絶縁膜10の上面10bとの距離D3は、上記の第3の実施例における距離D2よりもさらに小さいものとなり得る。それにより、

10

20

30

40

50

上記の第3の実施例の場合よりもさらにキャパシタ下部電極14の下地を平坦化することが可能となる。

【0114】また、本実施例においては、コンタクトホール10a内における第1および第2のバリア層13d, 13eの膜厚は、堆積時の膜厚のまま維持される。すなわち、第1および第2のバリア層13d, 13eは、バリア層として機能し得る膜厚が確実に維持されることになる。それにより、上記の第1の実施例の場合よりもバリア層のバリア性を確実に確保することが可能となる。

【0115】さらに、上記の第1および第2の実施例におけるバリア層よりも、バリア層の厚みを厚くすることが容易となる。それにより、上記の第1および第2の実施例よりも優れたバリア機能を発揮するバリア層を形成することが容易となる。

【0116】次に、図23～図26を用いて、上記の第4の実施例における製造方法について説明する。

【0117】まず図23を参照して、上記の第1の実施例と同様の工程を経てプラグ11までを形成する。そして、プラグ11および第1の層間絶縁膜10を覆うように、第1のバリア層13dを堆積する。この第1のバリア層13dの膜厚は、バリア層としての機能を十分発揮し得る膜厚である。

【0118】この第1のバリア層13d上に、第2のバリア層13eを堆積する。この第2のバリア層13eの膜厚も、バリア層としての機能を十分発揮し得る膜厚である。この第2のバリア層13e上に第3のバリア層13fを堆積する。この第3のバリア層13fの膜厚 $t_3$ は、この第3のバリア層13fによってコンタクトホール10aにおける第2のバリア層13e上の部分を充填し得る厚みである。

【0119】上記の第1のバリア層13aと、第2のバリア層13eと、第3のバリア層13fを構成する材質の組合わせは、次のようなものが考えられる。 $Ti$  (第3のバリア層) /  $TiN$  (第2のバリア層) /  $Ti$  (第1のバリア層),  $Ti/TiON/Ti$ ,  $Ti/TiN/TiSi$ ,  $Ti/TiON/TiSi$ ,  $W/TiN/Ti$ ,  $WSi/TiN/Ti$ ,  $WN/TiN/Ti$ ,  $WO/TiN/Ti$ ,  $WON/TiN/Ti$ などである。

【0120】上記の $Ti$ の厚みは、好ましくは、50～300Å程度である。また、 $TiN$ の膜厚は、好ましくは、100～300Åである。また、 $TiON$ の膜厚は、好ましくは、100Å～300Å程度である。 $TiSi$ の膜厚は、好ましくは、100Å～300Å程度である。 $W$ ,  $WSi$ ,  $WN$ ,  $WO$ ,  $WON$ の膜厚は、好ましくは、100Å～500Å程度である。

【0121】なお、第3のバリア層13fの膜厚に関しては、選ばれた材質に対して上記の膜厚以上の膜厚を有するように形成されることが好ましい。

【0122】次に、図24を参照して、第3のバリア層

13fにエッチバック処理を施す。それにより、コンタクトホール10a内にはのみ第3のバリア層13aを残余させる。次に、第2のバリア層13e, 第1のバリア層13dを順次エッチングする。それにより、図25に示されるように、コンタクトホール10a内にはのみ第1および第2のバリア層13d, 13eを残余させる。

【0123】その結果、図25に示されるように、第3のバリア層13f表面には、上記の第1および第3の実施例の場合と同様に、凹部12cが形成される。しかし、上記の第1および第3の実施例の場合よりもこの凹部12cは小さいものとなる。これは、コンタクトホール10a側壁に第1, 第2および第3のバリア層13d, 13e, 13fの積層構造が形成されるからである。

【0124】また、この凹部12cの底面と、第1の層間絶縁膜10の上面との距離D3は、上記の第3の実施例におけるD2よりもさらに小さいものとなる。これは、プラグ11上面上に第1, 第2および第3のバリア層13d, 13e, 13fの積層構造が形成されるからである。それにより、上記の第3の実施例の場合よりもさらにキャパシタ下部電極14の下地が平坦化される。

【0125】次に、図26を参照して、第1, 第2および第3のバリア層13d, 13e, 13f上から第1の層間絶縁膜10の上面10b上にわたってキャパシタ下部電極14を形成する。そして、このキャパシタ下部電極14を覆うようにキャパシタ誘電体膜15およびキャパシタ上部電極16をそれぞれ形成する。

【0126】このキャパシタ下部電極14、キャパシタ誘電体膜15、キャパシタ上部電極16の製造方法および材質に関しては、上記の第1の実施例と同様である。以降は、上記の第1の実施例と同様の工程を経て、図22に示されるDRAMが形成されることになる。

【0127】(第5実施例) 次に、図27～図31を用いて、この発明に基づく第5の実施例について説明する。図27は、この発明に基づく第5の実施例におけるDRAMを示す部分断面図である。図28～図31は、この発明に基づく第5の実施例におけるDRAMの製造工程の第4工程～第7工程を示す部分断面図である。

【0128】まず図27を用いて、この発明に基づく第5の実施例におけるDRAMの構造について説明する。図27を参照して、本実施例においては、コンタクトホール10a内に、プラグとしての機能を有しかつバリア層としての機能も有する接続導体部13gが形成されている。

【0129】この接続導体部13gは上記の各実施例のバリア層よりもその厚みが厚いため、バリア機能に関しては最も優れているといえる。しかし、この接続導体部13gの上面は、コンタクトホール10a内に埋没した状態となっている。これは形成方法に起因するため、後に説明する。したがって、キャパシタ下部電極14の上

面 14a には、この接続導体部 13g 上に位置する部分に段差部が形成される。しかし、この段差部は従来例におけるキャパシタ下部電極 214b と第 1 の層間絶縁膜 210 の上面 210a との間の段差ほどではないため、従来例よりはキャパシタ誘電体膜 15 の段差の被覆性は改善することが可能となる。

【0130】次に、図 28～図 31 を用いて、上記の第 5 の実施例における DRAM の製造方法について説明する。まず図 28 を参照して、上記の第 1 の実施例と同様の工程を経てコンタクトホール 10a までを形成する。次に、コンタクトホール 10a を充填しかつ第 1 の層間絶縁膜 10 を覆うように接続導体部材料 13h を堆積する。その接続導体部材料 13h の材質としては、TiN などを用いることができる。また、この接続導体部材料 13h の膜厚  $t_9$  は、好ましくは、 $3000\text{Å} \sim 10000\text{Å}$  程度である。この接続導体部材料 13h の膜厚  $t_9$  は、この接続導体部材料 13h によってコンタクトホール 10a を充填しうる膜厚である。

【0131】接続導体部材料 13h の形成方法としては、次の 2 つの形成方法が考えられる。第 1 の方法は、 $\text{TiCl}_4$  と  $\text{NH}_3$  とを用いた CVD 法によって形成するものである。第 2 の方法は、反応性スパッタリング法を用いて形成する方法である。

【0132】次に、図 29 を参照して、Cl 系のガスをを用いた RIE 法によって、接続導体部材料 13h をエッチバックする。それにより、コンタクトホール 10a 内に接続導体部 13g を形成する。このとき、第 1 の層間絶縁膜 10 上面に接続導体部材料 13h が残余しないようにオーバーエッチング処理が施されることになる。そのため、接続導体部 13g の上面は、コンタクトホール 10a 内に埋没した状態となっている。それにより、この接続導体部 13g の上面と、第 1 の層間絶縁膜 10 の上面 10a との距離 D4 は、約  $100\text{Å} \sim 2000\text{Å}$  程度となる。

【0133】次に図 30 を参照して、上記の第 1 の実施例と同様の方法で、接続導体部 13g 上から第 1 の層間絶縁膜 10 上にわたってキャパシタ下部電極 14 を形成する。このとき、接続導体部 13g の上面が、コンタクトホール 10a 内に埋没しているため、キャパシタ上部電極 14 の表面には、段差が形成される。

【0134】次に、図 31 を参照して、上記の第 1 の実施例と同様の方法で、キャパシタ下部電極 14 を覆うように、キャパシタ誘電体膜 15 およびキャパシタ上部電極 16 を形成する。以降は、上記の第 1 の実施例と同様の工程を経て図 27 に示される DRAM が形成される。

【0135】(第 6 実施例) 次に、図 32～図 35 を用いて、この発明に基づく第 6 の実施例について説明する。図 32 はこの発明に基づく第 6 の実施例における DRAM を示す部分断面図である。図 33～図 35 は、この発明に基づく第 6 の実施例における DRAM の製造工

程の第 4 工程～第 6 工程を示す部分断面図である。

【0136】まず図 32 を用いて、この発明に基づく第 6 の実施例における DRAM の構造について説明する。本実施例においては、接続導体部 13g の上面と第 1 の層間絶縁膜 10 の上面 10b とがほぼ面一となっている。これは接続導体部 13g の形成方法に起因するため後に説明する。そのため、キャパシタ下部電極 14 の上面 14a は、ほぼ平坦面となっている。

【0137】このとき、接続導体部 13g は、バリア機能を有する材質からなっているため、上記の第 5 の実施例の場合と同様に、優れたバリア機能は確保される。さらに、キャパシタ誘電体膜 15 の下地の段差が第 1 の実施例と同様に従来よりも小さくかつキャパシタ下部電極 14 の上面 14a が略平坦な表面であるため、上記の第 1、第 3～第 5 の実施例よりもさらにキャパシタ誘電体膜 15 の段差の被覆性は改善される。

【0138】次に、図 33～図 35 を用いて、上記の第 6 の実施例における DRAM の製造方法について説明する。図 33 を参照して、上記の第 5 の実施例と同様の方法で、接続導体部材料 13h を形成する。このとき、この接続導体部材料 13h の膜厚  $t_{10}$  は、接続導体部材料 13h によってコンタクトホール 10a を充填し得る膜厚である。

【0139】次に、図 34 を参照して、上記の接続導体部材料 13h に CMP 処理を施す。それにより、図 34 に示されるように、コンタクトホール 10a 内に接続導体部 13g が形成される。上記のように CMP 処理を施すことによって接続導体部 13g が形成されるため、この接続導体部 13g の上面と第 1 の層間絶縁膜 10 の上面とはほぼ面一とすることが可能となる。

【0140】次に、図 35 を参照して、接続導体部 13g 上および第 1 の層間絶縁膜 10 の上面 10b 上に、上記の第 1 の実施例と同様の方法で、キャパシタ下部電極 14 を形成する。このとき、接続導体部 13g 上面と第 1 の層間絶縁膜 10 上面 10b とがほぼ面一であるため、キャパシタ下部電極 14 の上面 14a はほぼ平坦な面となる。

【0141】このキャパシタ下部電極 14 を覆うように、上記の第 1 の実施例と同様の方法で、キャパシタ誘電体膜 15 およびキャパシタ上部電極 16 をそれぞれ形成する。以降は、上記の第 1 の実施例と同様の工程を経て図 32 に示される DRAM が形成されることになる。

【0142】

【発明の効果】この発明によれば、バリア層がコンタクトホール内に形成されるため、キャパシタ下部電極の上面と層間絶縁膜上面との段差を従来よりも低減することが可能となる。すなわち、キャパシタ誘電体膜の下地の段差が低減されることになる。その結果、キャパシタ誘電体膜の段差の被覆性を従来よりも向上させることが可能となる。それにより、キャパシタ誘電体膜において、

局所的に膜厚が薄くなる部分が従来よりも形成されにくくなる。キャパシタ誘電体膜において局所的に膜厚が薄くなる部分が形成された場合には、その部分において、キャパシタ上部電極とキャパシタ下部電極との間にリーク電流が流れる可能性が高くなる。

【0143】本発明によれば、上記のように、従来よりも、キャパシタ誘電体膜において局所的に膜厚が薄くなる部分が形成される可能性を低減することが可能となる。それにより、従来よりもキャパシタの信頼性を向上させることが可能となる。その結果、半導体記憶装置の信頼性を向上させることが可能となる。

【図面の簡単な説明】

【図1】この発明に基づく第1の実施例におけるDRAMを示す部分断面図である。

【図2】この発明に基づく第1の実施例におけるDRAMの製造工程の第1工程を示す部分断面図である。

【図3】この発明に基づく第1の実施例におけるDRAMの製造工程の第2工程を示す部分断面図である。

【図4】この発明に基づく第1の実施例におけるDRAMの製造工程の第3工程を示す部分断面図である。

【図5】この発明に基づく第1の実施例におけるDRAMの製造工程の第4工程を示す部分断面図である。

【図6】この発明に基づく第1の実施例におけるDRAMの製造工程の第5工程を示す部分断面図である。

【図7】この発明に基づく第1の実施例におけるDRAMの製造工程の第6工程を示す部分断面図である。

【図8】この発明に基づく第1の実施例におけるDRAMの製造工程の第7工程を示す部分断面図である。

【図9】この発明に基づく第1の実施例におけるDRAMの製造工程の第8工程を示す部分断面図である。

【図10】この発明に基づく第1の実施例におけるDRAMの製造工程の第9工程を示す部分断面図である。

【図11】この発明に基づく第1の実施例におけるDRAMの製造工程の第10工程を示す部分断面図である。

【図12】この発明に基づく第1の実施例におけるDRAMの製造工程の第11工程を示す部分断面図である。

【図13】この発明に基づく第2の実施例におけるDRAMを示す部分断面図である。

【図14】この発明に基づく第2の実施例におけるDRAMの製造工程の第6工程を示す部分断面図である。

【図15】この発明に基づく第2の実施例におけるDRAMの製造工程の第7工程を示す部分断面図である。

【図16】この発明に基づく第2の実施例におけるDRAMの製造工程の第8工程を示す部分断面図である。

【図17】この発明に基づく第3の実施例におけるDRAMを示す部分断面図である。

【図18】この発明に基づく第3の実施例におけるDRAMの製造工程の第6工程を示す部分断面図である。

【図19】この発明に基づく第3の実施例におけるDRAMの製造工程の第7工程を示す部分断面図である。

【図20】この発明に基づく第3の実施例におけるDRAMの製造工程の第8工程を示す部分断面図である。

【図21】この発明に基づく第3の実施例におけるDRAMの製造工程の第9工程を示す部分断面図である。

【図22】この発明に基づく第4の実施例におけるDRAMを示す部分断面図である。

【図23】この発明に基づく第4の実施例におけるDRAMの製造工程の第6工程を示す部分断面図である。

【図24】この発明に基づく第4の実施例におけるDRAMの製造工程の第7工程を示す部分断面図である。

【図25】この発明に基づく第4の実施例におけるDRAMの製造工程の第8工程を示す部分断面図である。

【図26】この発明に基づく第4の実施例におけるDRAMの製造工程の第9工程を示す部分断面図である。

【図27】この発明に基づく第5の実施例におけるDRAMを示す部分断面図である。

【図28】この発明に基づく第5の実施例におけるDRAMの製造工程の第4工程を示す部分断面図である。

【図29】この発明に基づく第5の実施例におけるDRAMの製造工程の第5工程を示す部分断面図である。

【図30】この発明に基づく第5の実施例におけるDRAMの製造工程の第6工程を示す部分断面図である。

【図31】この発明に基づく第5の実施例におけるDRAMの製造工程の第7工程を示す部分断面図である。

【図32】この発明に基づく第6の実施例におけるDRAMを示す部分断面図である。

【図33】この発明に基づく第6の実施例におけるDRAMの製造工程の第4工程を示す部分断面図である。

【図34】この発明に基づく第6の実施例におけるDRAMの製造工程の第5工程を示す部分断面図である。

【図35】この発明に基づく第6の実施例におけるDRAMの製造工程の第6工程を示す部分断面図である。

【図36】DRAMの一般的な構成を示すブロック図である。

【図37】従来のDRAMの一例を示す部分断面図である。

【図38】従来のDRAMの製造工程の第1工程を示す部分断面図である。

【図39】従来のDRAMの製造工程の第2工程を示す部分断面図である。

【図40】従来のDRAMの製造工程の第3工程を示す部分断面図である。

【図41】従来のDRAMの製造工程の第4工程を示す部分断面図である。

【図42】従来のDRAMの製造工程の第5工程を示す部分断面図である。

【図43】従来のDRAMの製造工程の第6工程を示す部分断面図である。

【図44】従来のDRAMの製造工程の第7工程を示す部分断面図である。

【図 4 5】従来の DRAM の製造工程の第 8 工程を示す部分断面図である。

【図 4 6】従来の DRAM の製造工程の第 9 工程を示す部分断面図である。

【図 4 7】従来の DRAM におけるキャパシタとプラグとの接続部分を拡大した断面図である。

【符号の説明】

1, 201 半導体基板

3a, 3b, 203a, 203b トランスファークゲートトランジスタ

10, 210 第 1 の層間絶縁膜

10a, 210a コンタクトホール

11, 211 プラグ

13, 13a, 213 バリア層

13b, 13d 第 1 のバリア層

13c, 13e 第 2 のバリア層

13f 第 3 のバリア層

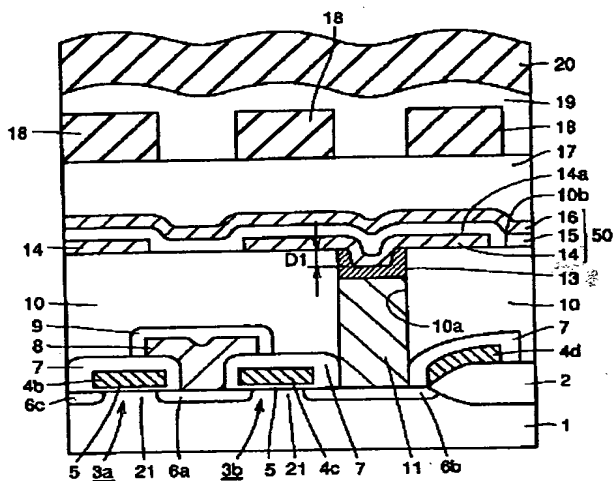
13g 接続導体部

14, 214 キャパシタ下部電極

15, 215 キャパシタ誘電体膜

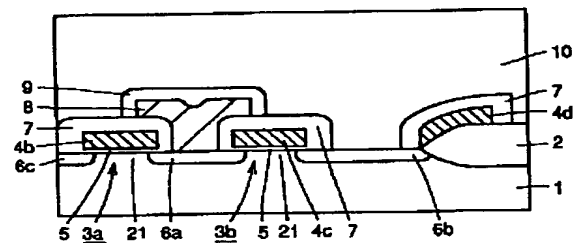
10 16, 216 キャパシタ上部電極

【図 1】

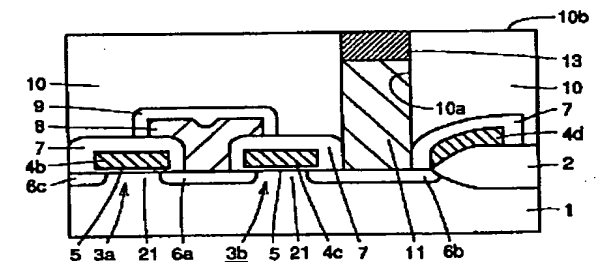


1:半導体基板  
10:第一の層間絶縁膜  
13:バリア層  
15:高誘電体膜  
3a, 3b:トランスファークゲートトランジスタ  
10a:コンタクトホール  
11:プラグ  
14:キャパシタ下部電極  
16:キャパシタ上部電極

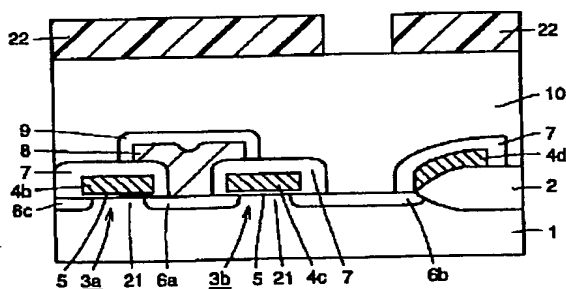
【図 2】



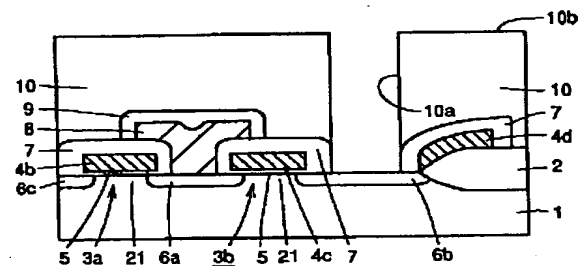
【図 15】



【図 3】



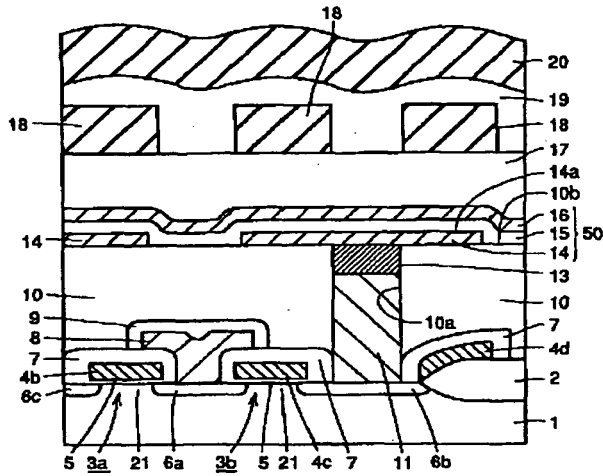
【図 4】



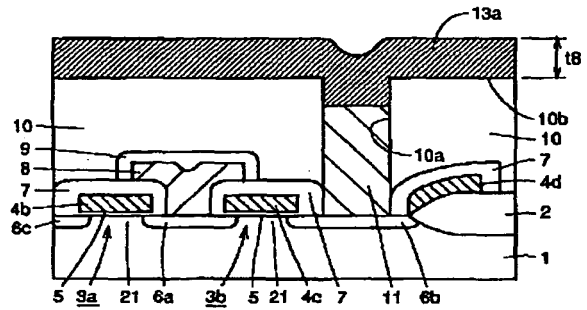




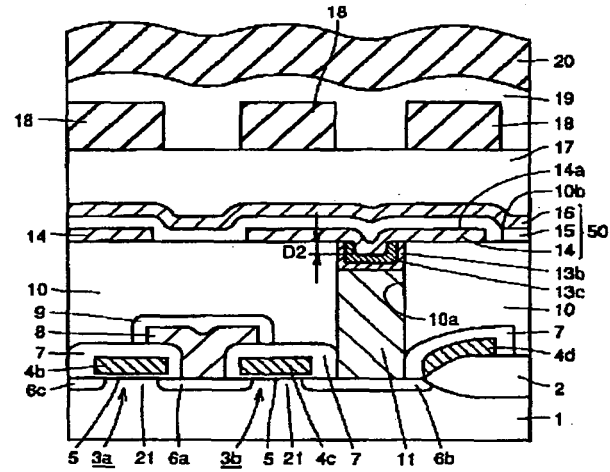
【图 13】



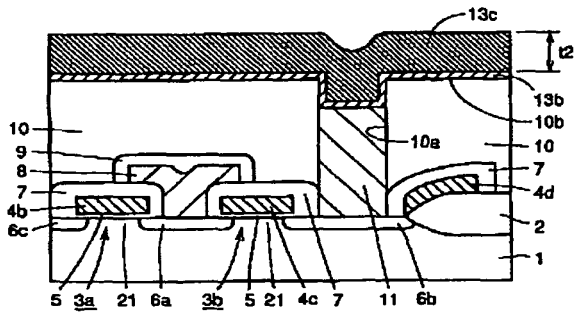
【図 14】



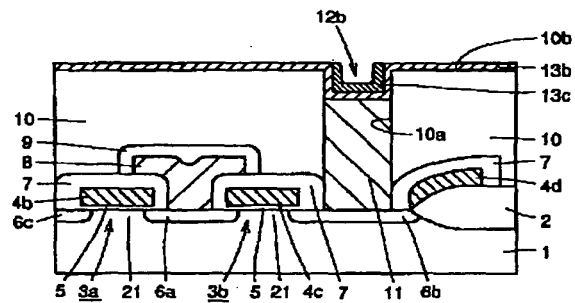
【例 17】



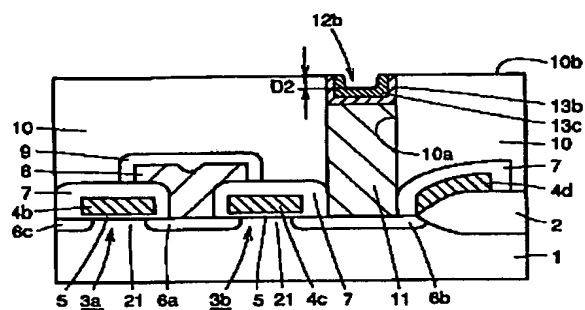
【图 1.8】



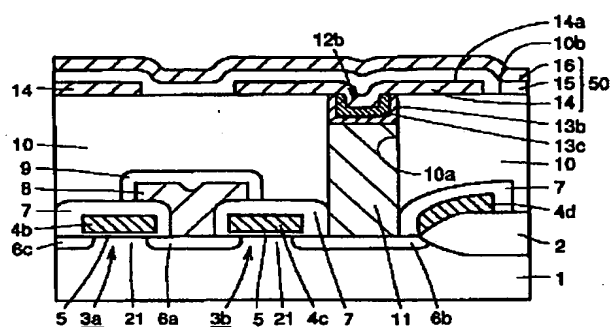
【图 19】



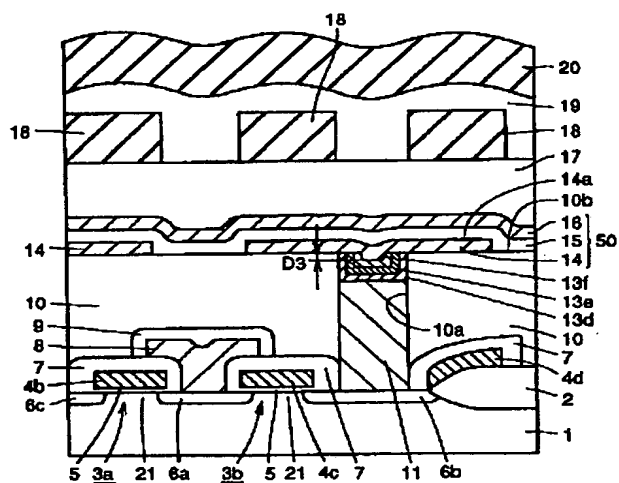
【図 20】



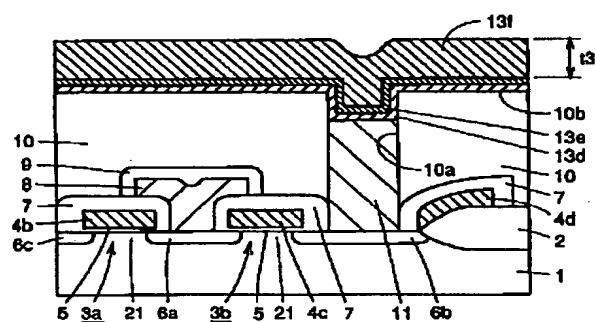
【图 2 1】



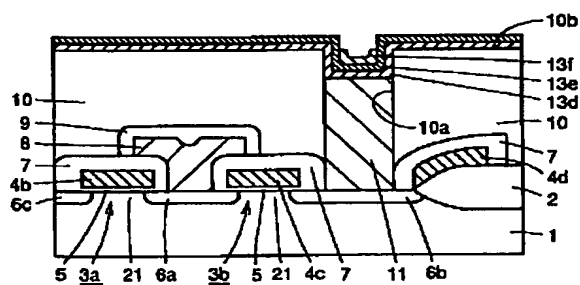
【図 2 2】



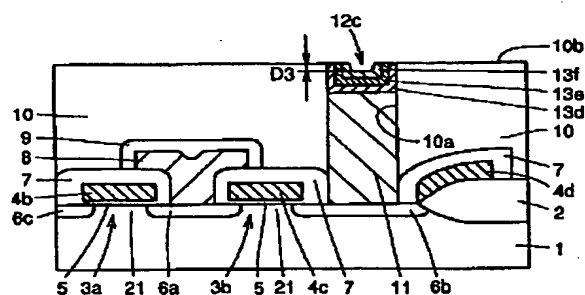
【图 2 3】



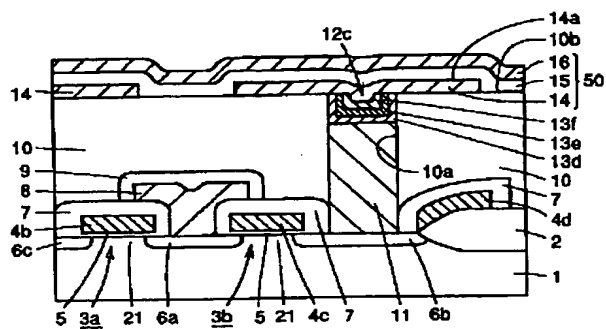
【図 24】



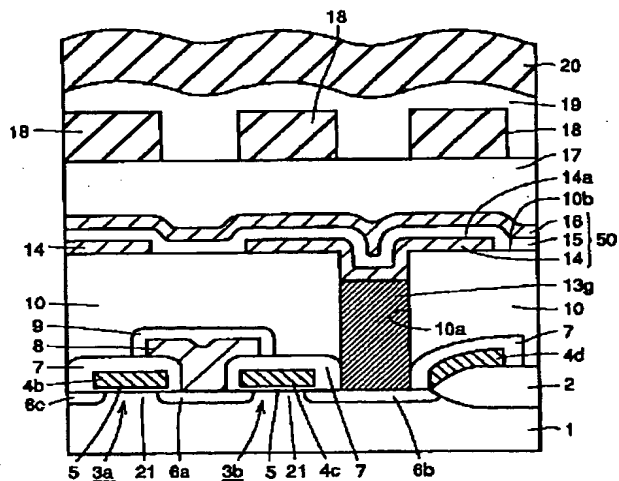
【図 25】



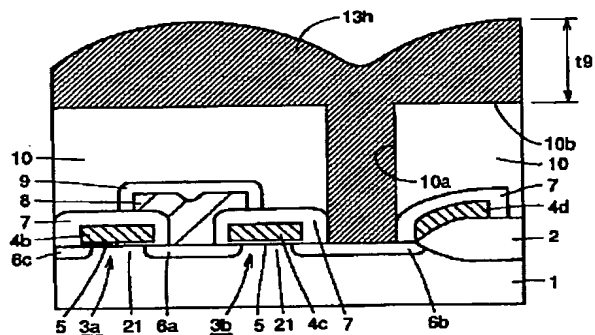
【图 26】



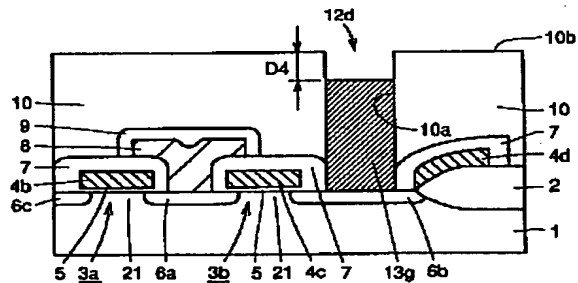
【图 27】



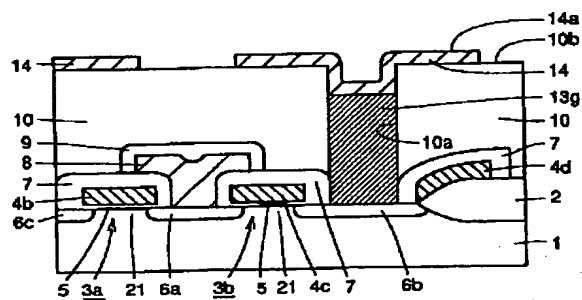
【图 28】



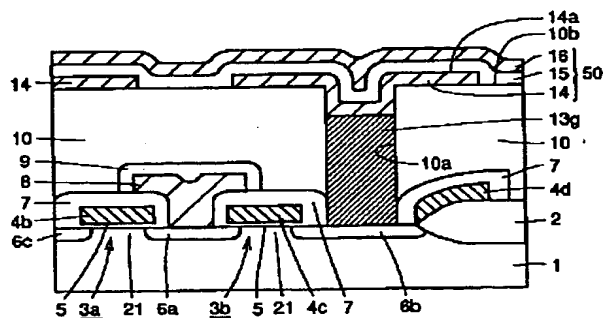
【☒ 29】



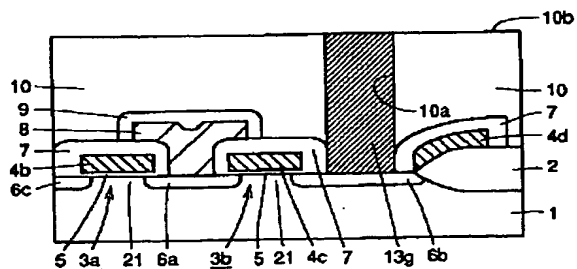
【図 30】



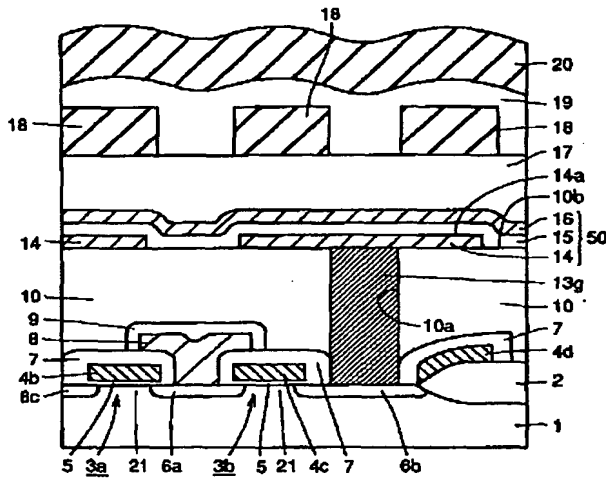
【図 3 1】



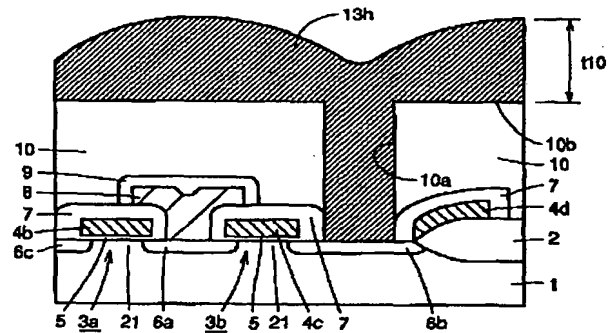
【図 3 4】



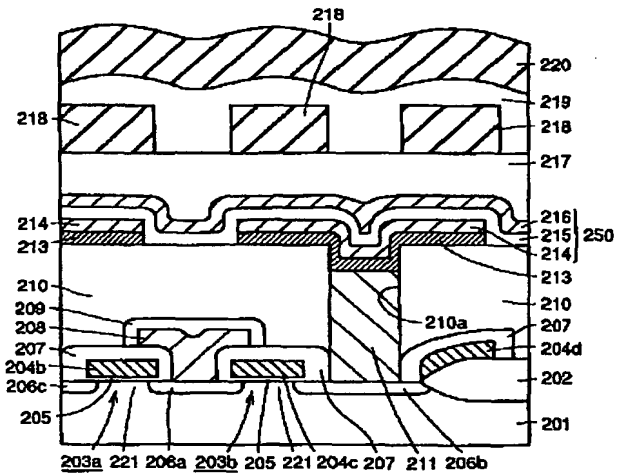
【図 32】



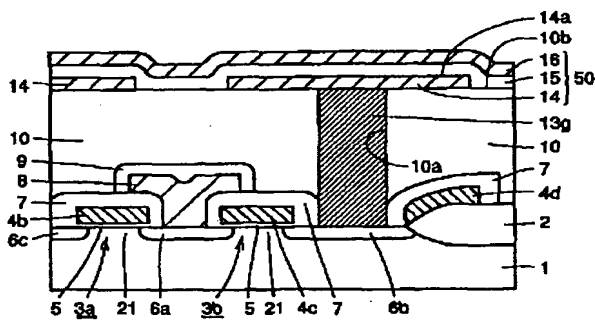
【図 33】



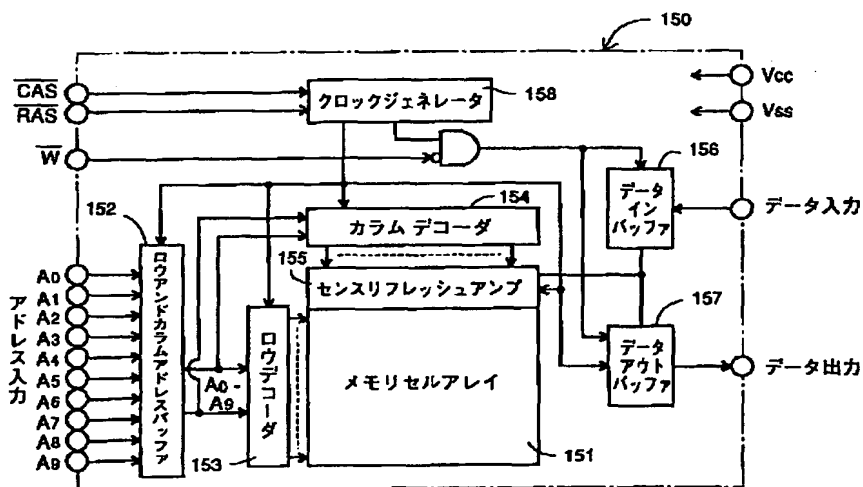
【図 37】



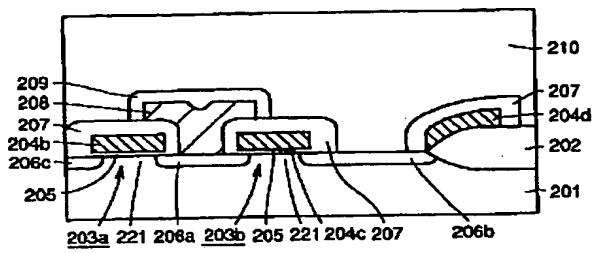
【図 35】



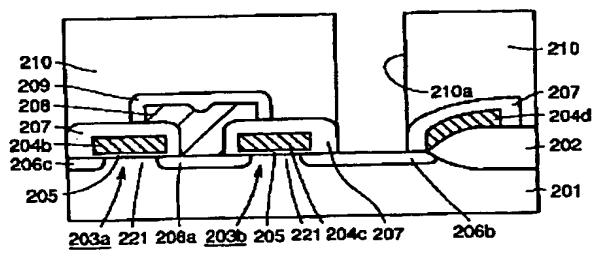
【図 36】



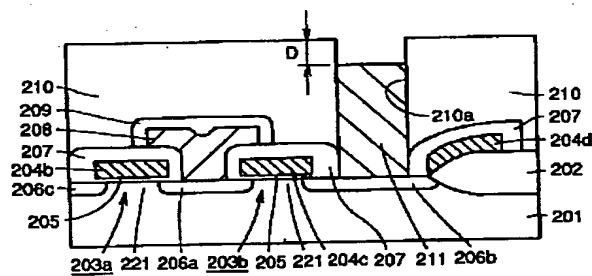
【図 3 8】



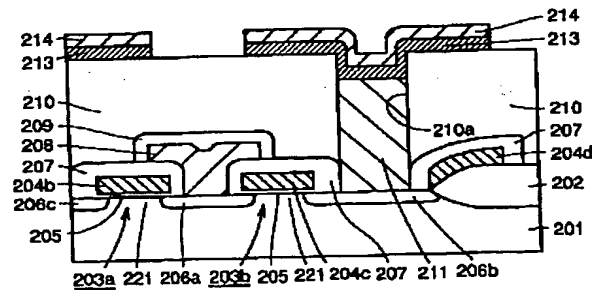
【図 40】



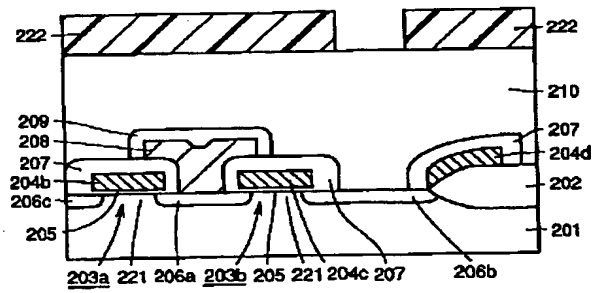
【図 4 2】



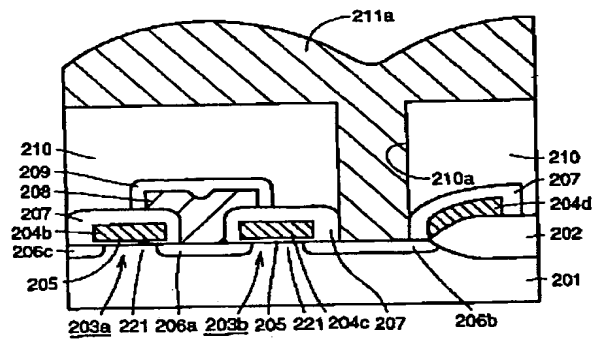
【図 4 4】



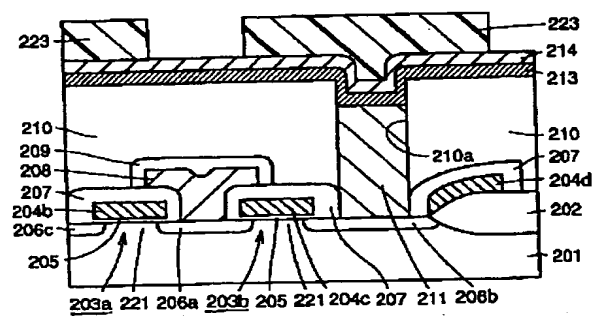
【図 39】



【図 4 1】



【図 4 3】



【图 4 5】

